

# Diseño de un módulo de test parametrizable controlado desde un ordenador personal

Uranga F, Ustoa J.R., Amuchástegui C., Ibarra A.

Grupo de Diseño de Circuitos

Facultad de Informática de San Sebastián (U.P.V. / E.H.U.)

Paseo Manuel Lardizabal, 1 –20009 - San Sebastián . Apto. 649.

Amuchástegui C.T.943-44-80-00 (ext5095)–Fax . 943-21-93-06 - Email : carlos@si.ehu.es

## Resumen.

En este trabajo se presenta un circuito que permite realizar el test de funcionamiento a un C.I., controlándose el proceso desde un ordenador personal tipo PC. Se explica así mismo un breve resumen de resultados.

El sistema mencionado en este artículo corresponde al proyecto “Diseño de un modulo de test de circuitos integrados “ subvencionado por la Excma. Diputación Foral de Gipuzkoa.

## 1- Introducción

Dentro del campo del diseño de C.I.'s es bien sabido que uno de los principales problemas que se presentan es la comprobación del funcionamiento del C.I. una vez fabricado, esto es, la realización de test completos de funcionalidad. Así, surge la necesidad de poder utilizar los patrones de test (por ejemplo, los usados en la simulación lógica en el proceso de diseño) y aplicarlos sobre los C.I.'s ya implementados en Si.

Una solución a dicho problema son las máquinas de test. Estas máquinas de test permiten la imposición de los vectores de test usados en la simulación (tras algún cambio de formato) pero tienen en su contra la limitación en cuanto al tamaño de los test (no admiten más que un cierto número de vectores como máximo), y, principalmente, el hecho de que son máquinas cuyo valor sólo es económicamente soportable cuando se van a realizar test de circuitos con relativa frecuencia, lo cual no es habitual en muchos casos.[1]

Otra solución al problema del test de funcionalidad es la inclusión de estructuras "BIST" que permitan al C.I. la posibilidad de realizar un "auto-test". En este sentido, una alternativa consistirá en incorporar una ROM al circuito con los vectores de test que se quieren simular y aplicar y multiplexar las entradas según se encuentren en modo test o no. Este método tiene como desventajas, por un lado, la poca flexibilidad que permite, dado que sólo se puede imponer un único test, y, por otro lado, el aumento de tamaño que conlleva su inclusión en el C.I. Este último punto puede resultar menos crítico en el caso de prototipos, en los cuales se busca más la funcionalidad que la optimización en tamaño.[2] [3]

## 2-Objetivos

En la realización de este trabajo se ha buscado diseñar un módulo de test que permita, por una parte, realizar

imposiciones de vectores de test a los C.I.'s de una manera sencilla, sin limitaciones en cuanto a tamaño de los vectores ni del número de estos, y, por otra parte, poder utilizar un componente parametrizable para la realización de dicho test de manera que, con pequeños cambios, permita testear cualquier circuito secuencial.

## 3-Descripción del sistema

El circuito diseñado, que denominaremos a partir de ahora CTM (Circuit Test Module), consta de una unidad de control que a través de una sencilla arquitectura mantiene la comunicación con el PC para almacenar los vectores de test en la memoria RAM, y realiza el test imponiendo los vectores a la vez que comprueba posibles errores.(Figura 1)

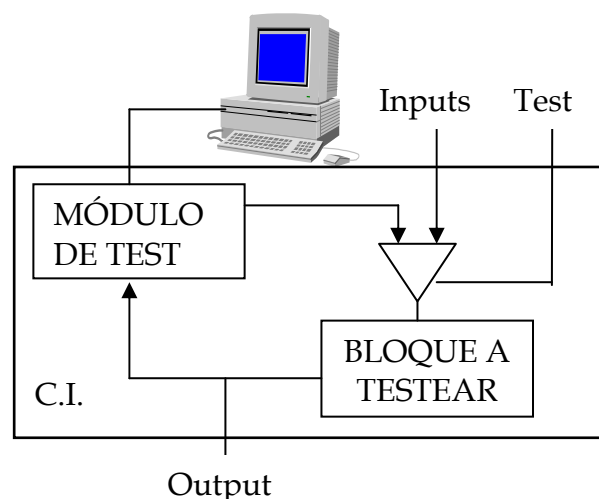


Fig. 1.

Las principales características del sistema son:

- Velocidad de test no limitada por el PC. Test en tiempo real (la velocidad del test está limitada por el tiempo de acceso de la memoria RAM).
- Escalabilidad: Dado que el circuito está diseñado en VHDL, algunos parámetros pueden ser fácilmente adaptados a las características del C.I. a testear (número y tamaño de los vectores de test).
- Uso de los vectores de simulación para el test. Con un pequeño proceso de traducción se permite el paso de formato de simulación (en nuestro caso, formato TBL de ALTERA) a formato CTM. Este proceso puede generalizarse a cualquier formato de vectores de test fácilmente.
- Longitud del test no limitada por la capacidad de la memoria. El tamaño del vector condicionará el tamaño de

palabra de la memoria, pero, dado que el test se realiza por paquetes de vectores, la capacidad en palabras de la memoria no condiciona la longitud del test.

- Posibilidad de realizar diferentes tipos de test (pasa o no pasa, número total de errores, depuración a partir de los datos del error encontrado) para series o prototipos.

El almacenamiento de los vectores de test se realiza a través del puerto paralelo de un ordenador personal, usándose dos señales como control y dos para enviar en serie los datos. Así, se ha implementado un pequeño protocolo para sincronizar el envío de datos desde el PC con su almacenamiento en memoria. El protocolo consta de dos señales: una *strobe* indica al circuito CTM que tiene un bit disponible y una señal *ack* que avisa al PC que ese bit ha sido ya recogido, que controlan el proceso de carga en memoria de los datos, y que son las que sincronizan el programa del PC con el circuito CTM. (Figura 1) Una vez realizada la adquisición del primer paquete de vectores (cuyo tamaño será uno de los parámetros del circuito) se procede a la imposición de dichos vectores, realizándose la comprobación de los datos de salida que consiste en comparar las salidas obtenidas en el C.I. con las salidas almacenadas en la RAM.

realizar) y también puede comunicar al PC los datos necesarios para hacer un seguimiento de los errores encontrados.

#### 4- Conclusiones

A la hora de realizar una prueba del sistema se ha implementado una placa en la que se han conectado una memoria SRAM y una EPLD EPM7128LC84 de ALTERA en la que se encuentran el CTM y el circuito a testear, resultando un nivel de ocupación de un 49% de sus recursos para el CTM. El diseño se ha realizado en VHDL, usándose las herramientas disponibles de la propia marca ALTERA. La memoria usada es una UM6116-3L de 2Kx8 CMOS SRAM.

Próximamente se va a realizar a partir del diseño en VHDL, la síntesis mediante SYNOPSIS y la implementación utilizando la herramienta de diseño DFII de Cadence en Estándar Cells, integrándose en el mismo bloque el circuito de test y la memoria, (con una estimación de área de 4mm<sup>2</sup> con una tecnología CMOS de 0.7µm) y un prototipo de sistema de toma de datos portátil

#### Bibliografía.

- [1] "Integrating Design and Test: Using CAE tools for ATE Programming"  
K. P. Parker  
The Computer Society Press of the IEEE, 1987
- [2] "Logic Testing and Design for Testability"  
H. Fujiwara  
The MIT Press, 1990
- [3] "Built-in Test for VLSI"  
P. H. Bardell, W. H. McAnney, J. Savir  
Ed. John Wiley & Sons, 1987

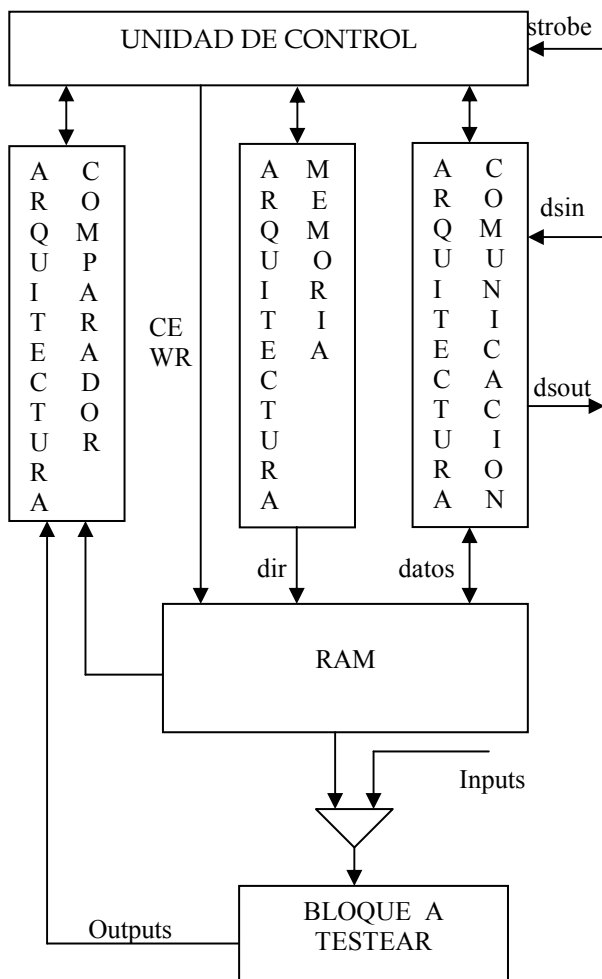


Fig. 2.

En caso de error, el sistema puede pararse o seguir buscando más errores, (según que tipo de test se quiera